

日本国特許庁  
JAPAN PATENT OFFICE

WN 2629

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2002年10月25日

出願番号  
Application Number: 特願 2002-311231

[ST. 10/C]: [JP 2002-311231]

出願人  
Applicant(s): エルピーダメモリ株式会社

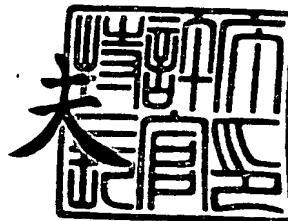
CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2003年10月31日

特許長官  
Commissioner,  
Japan Patent Office

今井 康



【書類名】 特許願  
【整理番号】 22310183  
【提出日】 平成14年10月25日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 7/00  
【発明者】  
【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ  
株式会社内  
【氏名】 石川 透  
【特許出願人】  
【識別番号】 500174247  
【氏名又は名称】 エルピーダメモリ株式会社  
【代理人】  
【識別番号】 100071272  
【弁理士】  
【氏名又は名称】 後藤 洋介  
【選任した代理人】  
【識別番号】 100077838  
【弁理士】  
【氏名又は名称】 池田 憲保  
【手数料の表示】  
【予納台帳番号】 012416  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0110118  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング調整回路及びそれを備えた半導体装置

【特許請求の範囲】

【請求項 1】 外部から供給される外部クロック信号を入力クロック信号として出力する入力回路と、該入力回路からの前記入力クロック信号を遅延させて遅延入力クロック信号として出力する遅延調整回路と、該遅延調整回路からの前記遅延入力クロック信号に応答して内部クロック信号を出力するクロックドライバと備え、前記内部クロック信号を用いて被駆動回路を駆動したときに、当該被駆動回路から前記内部クロック信号に同期して出力される出力信号の位相が前記外部クロック信号の位相に対して所定の関係となるよう前記遅延調整回路の遅延が定められるタイミング調整回路において、

前記内部クロック信号と、前記外部クロック信号及び前記被駆動回路の出力信号のいずれか一方とを用いて、前記被駆動回路からの出力信号の位相が前記外部クロック信号の位相に対して進んでいるのか遅れているのかを表す位相進み遅れ信号を生成する位相進み遅れ信号生成手段を備えていることを特徴とするタイミング調整回路。

【請求項 2】 前記遅延調整回路の遅延をフィードバック制御するために、前記内部クロック信号を分岐させた分岐クロック信号を遅延させるレプリカ回路と、該レプリカ回路の出力信号の位相と前記外部クロック信号の位相とを比較してその比較結果を前記遅延調整回路へ出力し当該遅延調整回路の遅延を調整する位相比較回路とを備えている請求項 1 に記載のタイミング調整回路において、

前記レプリカ回路として遅延調整可能なレプリカ回路を用い、

前記外部クロック信号及び前記被駆動回路からの出力信号のいずれか一方を選択的に前記位相比較回路へ出力する選択回路と、

前記位相比較回路の出力を外部へ出力する外部出力手段とを設け、

該選択回路で前記被駆動回路からの出力信号を選択することにより、当該選択回路、前記レプリカ回路及び前記位相比較回路の組み合わせを前記移動進み遅れ信号生成手段として動作させ、前記位相比較回路の比較結果を前記位相進み遅れ信号として前記外部出力手段へ供給するようにしたことを特徴とするタイミング

調整回路。

**【請求項 3】** 請求項 2 に記載されたタイミング調整回路において、前記レプリカ回路が、レジスタの保持内容の変更により、又は、ヒューズの切断により、その遅延時間を調整できるよう構成されていることを特徴とするタイミング調整回路。

**【請求項 4】** 請求項 1、2 又は 3 に記載のタイミング調整回路と、当該タイミング調整回路から供給される内部クロック信号によって駆動される被駆動回路として、前記内部クロック信号によって規定されるタイミングでデータを出力するデータ出力回路とを有していることを特徴とする半導体装置。

**【請求項 5】** 請求項 3 に記載のタイミング調整回路であって、レジスタの保持内容の変更による遅延時間の調整とヒューズの切断による遅延時間の調整とともに可能なタイミング調整回路と、当該タイミング調整回路から供給される内部クロック信号によって駆動される被駆動回路として、前記内部クロック信号によって規定されるタイミングでデータを出力するデータ出力回路とを有し、前記外部出力手段に接続されるテスターを用いて前記位相進み遅れ信号をモニターしながら前記レジスタの保持内容を変更して適切な遅延時間を求め、その後ヒューズを切断して前記タイミング調整回路の遅延時間を前記適切な遅延時間に固定できるようにしたことを特徴とする半導体装置。

**【請求項 6】** 前記遅延調整回路が、その遅延時間を変更できるように構成されている請求項 1 に記載のタイミング調整回路において、

前記被駆動回路が、外部から供給される入力データを前記内部クロック信号に同期してラッチするデータ入力回路であり、

前記進み遅れ信号生成手段が、

前記被駆動回路と同一の構成を有し、前記入力データの代わりに前記外部クロック信号の供給を受けて、当該外部クロック信号を前記内部クロック信号に同期してラッチして前記位相進み遅れ信号として外部へ出力する手段であることを特徴とするタイミング調整回路。

**【請求項 7】** 請求項 6 に記載されたタイミング調整回路において、

前記遅延調整回路が、レジスタの保持内容の変更により、又は、ヒューズの切

断により、その遅延時間を調整できるよう構成されていることを特徴とするタイミング調整回路。

**【請求項8】** 請求項6又は7に記載のタイミング調整回路と、当該タイミング調整回路から供給される内部クロック信号によって駆動される被駆動回路として、前記内部クロック信号によって規定されるタイミングで外部から供給される入力データをラッチするデータ入力回路とを有することを特徴とする半導体装置。

**【請求項9】** 請求項7に記載のタイミング調整回路であって、レジスタの保持内容の変更による遅延時間の調整とヒューズの切断による遅延時間の調整がともに可能なタイミング調整回路と、当該タイミング調整回路から供給される内部クロック信号によって駆動される被駆動回路として、前記内部クロック信号によって規定されるタイミングで外部から供給される入力データをラッチするデータ入力回路とを有し、前記進み遅れ信号生成手段に接続されるテスターを用いて前記位相進み遅れ信号をモニターしながら前記レジスタの保持内容を変更して適切な遅延時間を求め、その後ヒューズを切断して前記タイミング調整回路の遅延時間を前記適切な遅延時間に固定できるようにしたことを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、入力された外部クロック信号に対して所定の位相関係を有する内部クロック信号を生成するタイミング調整回路及びそれを備えた半導体装置に関する。

##### 【0002】

##### 【従来の技術】

外部クロック信号に同期して動作するシンクロナスマモリ（クロック同期型半導体メモリ、例えばSDRAM）やそのコントローラ（システムLSIやマイクロプロセッサ）などの半導体装置では、その動作の高速化に伴い、装置内部でのクロック信号の伝播遅延が問題となってきた。そこで、従来の半導体装置では、

そのインターフェース（又は入出力装置）に、外部クロック信号を受け、その外部クロック信号と同一の位相又は所定の位相差を有する内部クロックを生成するタイミング調整回路が設けられている。

#### 【0003】

ところが、近年の半導体装置の更なる高速化（外部クロックの高周波数化）によって、外部クロック信号と内部クロック信号の位相差について、その所定値からのずれ（タイミングずれ）が問題となりつつある。つまり、半導体装置の動作速度の向上にともない、タイミングずれに対する許容範囲が狭まり、タイミングずれの原因である製造ばらつきが問題となってきた。

#### 【0004】

このような問題を解決するために、外部クロック信号の位相と、内部クロック信号に同期させて出力回路から出力させたデータ信号の位相とを比較し、その比較結果に基づいて、タイミング調整回路に含まれるレプリカ回路（又はダミーロード）の遅延時間を調整することが提案されている（例えば、特許文献1参照。）。

#### 【0005】

この提案に係るタイミング調整回路は、概略、図5に示すようなものである。図5のタイミング調整回路50は、外部クロック入力端子51に供給された外部クロック信号CLKを受けて入力クロック信号を出力するクロック入力回路52と、クロック入力回路52からの入力クロック信号を遅延させるためのDLL（Delay Locked Loop）又はPLL（Phase Locked Loop）からなる位相／遅延調整回路53と、位相／遅延調整回路53からの遅延入力クロック信号を受けて内部クロック信号を出力するクロックドライバ54と、クロックドライバ54によって駆動されるデータ出力回路55（又はデータストローブ出力回路56）に対応する遅延を生じさせるレプリカ回路57と、レプリカ回路57の出力信号（フィードバック信号）の位相と外部クロック信号の位相とを比較し、比較結果を位相／遅延調整回路53へ出力する位相比較回路58とを有している。なお、レプリカ回路57は、その遅延を調整できるように構成されている。

#### 【0006】

このタイミング調整回路50は、データ出力回路55からデータを出力させるタイミングを規定する内部クロック信号を生成するためのものであって、レプリカ回路57からのフィードバック信号の位相が外部クロック信号の位相に一致するように位相／遅延調整回路53の遅延をフィードバック制御する。このとき、データ出力回路55の出力信号Doutの位相とフィードバック信号の位相とが一致しているならば、位相／遅延調整回路53をフィードバック制御することにより、データ出力回路55の出力信号の位相は外部クロック信号の位相に一致する。

#### 【0007】

ところが、製造ばらつきによって、タイミング調整回路50にタイミングずれが存在する場合には、上記のように位相／遅延調整回路53をフィードバック制御しても、データ出力回路55の出力信号の位相は外部クロック信号CLKの位相に一致しない。このような場合には、以下のようにして、製造ばらつきによるタイミングずれの除去が行われる。

#### 【0008】

まず、内部クロック信号に同期して、データ出力回路55から“0”と“1”とが交互に繰り返し出力されるようにしておく。データストローブ回路56を利用する場合は、データストローブ信号をそのまま利用する。

#### 【0009】

次に、図示しないテスト装置を用いて外部クロック入力端子51に供給される外部クロック信号CLKの位相（立ち上がりエッジ）と、データ出力端子59に出力されるデータ出力回路55（又はデータストローブ出力回路56）の出力信号の位相（変化点）とを検出する。そして、これらの位相を比較して、位相差に基づいて、レプリカ回路57の遅延を調整する。

#### 【0010】

それから、再びテスト装置を用いて、データ出力回路55の出力信号の位相が外部クロック信号の位相に一致したかどうかを調べるために、これらの信号の位相を比較する。

#### 【0011】

以降、データ出力回路55の出力信号の位相が外部クロック信号CLKの位相に一致するまで、上記動作を繰り返す。

#### 【0012】

ここで、レプリカ回路57について説明する。レプリカ回路57は、例えば、レジスタに格納された値に応じてその遅延を変更できるように構成され、また、ヒューズ（ヒューズ群中の1又は複数のヒューズ）を切断することによりその遅延を変更できるように構成されている。レプリカ回路57は、さらに、レジスタ及びヒューズ（群）の一方を選択するスイッチを有している。上記のように2つの信号の位相を比較しながらレプリカ回路57の遅延調整を行う際には、レジスタを選択し、そこに格納される値を変更して、その遅延を調整する。そして、データ出力回路55の出力信号の位相が外部クロック信号の位相に一致したなら、その遅延を実現するべくヒューズを切断する。それから、スイッチをレジスタ側からヒューズ側に切り換えて、レプリカ回路57の遅延を固定する。

#### 【0013】

以上のようにして、図5のタイミング調整回路50では、製造ばらつきによるタイミングずれの問題を解消することができる。

#### 【0014】

上述した図5のタイミング調整回路50は、データ出力回路55からのデータの出力タイミングを調整するためのものであるが、データ入力回路の入力タイミングを調整するタイミング調整回路も存在する。そのようなタイミング調整回路の一例を図6に示す。

#### 【0015】

図6のタイミング調整回路60は、外部クロック入力端子61に供給される外部クロック信号CLKを受けて入力クロック信号として出力するクロック入力回路62と、入力クロック信号を遅延させる遅延調整回路63と、遅延入力クロック信号を受けて内部クロック信号を出力するクロックドライバ64とを有している。

#### 【0016】

このタイミング調整回路60は、データ入力端子65に与えられた入力データ

をラッチするデータ入力回路66の動作タイミングを規定する内部クロック信号を生成するためのものである。データ入力回路66から出力されるデータ信号の位相は、外部クロック信号CLKの位相と所定の関係にあればよく、必ずしも一致している必要はないので、このタイミング調整回路60では、図5のタイミング調整回路50のようにフィードバック制御は行われていない。

### 【0017】

このタイミング調整回路60では、遅延調整回路63の遅延を調整することによりそのタイミングずれを除去することができる。つまり、データ入力回路61から出力されるデータ信号の位相と外部クロック信号CLKの位相とを比較し、その位相差が所定の値となるように遅延調整回路63の遅延を調整することにより、そのタイミングずれが除去される。遅延調整回路63は、例えば、図5のレプリカ回路57と同様、レジスタ、ヒューズ及びスイッチで構成される。

### 【0018】

#### 【特許文献1】

特開2000-163999号公報（第4-5頁、図2、5及び7）

### 【0019】

#### 【発明が解決しようとする課題】

従来のタイミング調整回路では、製造ばらつきによるタイミングずれを除去するためには、外部クロック信号とデータ出力回路又はデータ入力回路の出力信号との2つの信号を検出し、その位相を比較しなければならない。つまり、2つの信号を検出するために2つのピン（入力端子）を備えたテスト装置が必要である。

### 【0020】

ところが、ウエハーテストなどに使用される低精度テスト装置は、そのピン間スキューが1ns以上あり、例えば500MHzの外部クロックで動作するデバイスで許容されるタイミングずれ（500ps程度）よりも大きい。従って、従来のタイミング調整回路は、低精度のテスト装置を用いてそのタイミングずれを検出し、除去することができない。つまり、従来のタイミング調整回路では、そのタイミングずれの除去を行う際に、それに用いるテスト装置のピン間スキューによる制限を受けるという問題点がある。

**【0021】**

そこで、本発明は、テスト装置のピン間スキーによる制限を受けること無く、高い精度でタイミングずれを解消することができるタイミング調整回路を提供することを目的とする。

**【0022】****【課題を解決するための手段】**

本発明によれば、外部から供給される外部クロック信号を入力クロック信号として出力する入力回路と、該入力回路からの前記入力クロック信号を遅延させて遅延入力クロック信号として出力する遅延調整回路と、該遅延調整回路からの前記遅延入力クロック信号に応答して内部クロック信号を出力するクロックドライバとを備え、前記内部クロック信号を用いて被駆動回路を駆動したときに、当該被駆動回路から前記内部クロック信号に同期して出力される出力信号の位相が前記外部クロック信号の位相に対して所定の関係となるよう前記遅延調整回路の遅延が定められるタイミング調整回路において、前記内部クロック信号と、前記外部クロック信号及び前記被駆動回路の出力信号のいずれか一方とを用いて、前記被駆動回路からの出力信号の位相が前記外部クロック信号の位相に対して進んでいるのか遅れているのかを表す位相進み遅れ信号を生成する位相進み遅れ信号生成手段を備えていることを特徴とするタイミング調整回路が得られる。

**【0023】**

具体的には、前記遅延調整回路の遅延をフィードバック制御するために、前記内部クロック信号を分岐させた分岐クロック信号を遅延させるレプリカ回路と、該レプリカ回路の出力信号の位相と前記外部クロック信号の位相とを比較してその比較結果を前記遅延調整回路へ出力し当該遅延調整回路の遅延を調整する位相比較回路とを備えている上記タイミング調整回路において、前記レプリカ回路として遅延調整可能なレプリカ回路を用い、前記外部クロック信号及び前記被駆動回路からの出力信号のいずれか一方を選択的に前記位相比較回路へ出力する選択回路と、前記位相比較回路の出力を外部へ出力するための外部出力手段とを設け、該選択回路で前記被駆動回路からの出力信号を選択することにより、当該選択回路、前記レプリカ回路及び前記位相比較回路の組み合わせを前記移動進み遅れ

信号生成手段として動作させ、前記位相比較回路の比較結果を前記位相進み遅れ信号として前記外部出力手段へ供給するようにしたことを特徴とするタイミング調整回路が得られる。

#### 【0024】

あるいは、前記遅延調整回路が、その遅延時間を変更できるように構成されている上記タイミング調整回路において、前記被駆動回路が、外部から供給される入力データを前記内部クロック信号に同期してラッチするデータ入力回路であり、前記進み遅れ信号生成手段が、前記被駆動回路と同一の構成を有し、前記入力データの代わりに前記外部クロック信号の供給を受けて、当該外部クロック信号を前記内部クロック信号に同期してラッチして前記位相進み遅れ信号として外部へ出力する手段であることを特徴とするタイミング調整回路が得られる。

#### 【0025】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

#### 【0026】

図1に、本発明の第1の実施の形態に係るタイミング調整回路のブロック図を示す。このタイミング調整回路10は、図5のタイミング調整回路50の構成に加えて、セレクタ11が設けられ、また、位相比較回路58の出力を外部に取り出すための外部出力端子12が設けられている。

#### 【0027】

セレクタ11は、2つの入力端子を有しており、その一方は外部クロック入力端子51に、他方はデータストローブ信号出力回路56の出力端子59に接続されている。また、セレクタ11の出力端子は、位相比較回路58の一方の入力端子に接続されている。セレクタ11は、入力される外部クロック信号CLK及びデータストローブ信号DQSのいずれか一方を選択的に位相比較回路58へ出力する。

#### 【0028】

次に、図1のタイミング調整回路のタイミングずれの除去（縮小）方法について説明する。タイミングずれを除去する場合、セレクタ11は、データストロー

ブ信号を選択的に位相比較回路58へ出力するように設定される。

#### 【0029】

外部クロック入力端子51に外部クロック信号CLKが与えられると、その外部クロック信号CLKは、クロック入力回路52及びセレクタ11に供給される。セレクタ11は、上述のようにデータストローブ信号DQSを選択するよう設定されているので、外部クロック信号CLKは位相比較回路58へは供給されない。

#### 【0030】

クロック入力回路52は、例えば入力バッファであって、外部クロック信号CLKが入力されると、それを入力クロック信号として位相／遅延調整回路53へ出力する。

#### 【0031】

位相／遅延調整回路53は、入力クロック信号CLKを遅延させ、遅延入力クロック信号としてクロックドライバ54へ出力する。なお、位相／遅延調整回路53は、後述する理由によりロックしている必要はない。

#### 【0032】

クロックドライバ54は、位相／遅延調整回路53からの遅延入力クロック信号を受けて内部クロック信号をデータストローブ出力回路56及びレプリカ回路57へ出力する。なお、内部クロック信号は、データ出力回路55へ出力されるので、内部出力クロックとも呼ばれる。

#### 【0033】

データストローブ出力回路56は、その出力が“0”レベルと“1”レベルの繰り返し（即ち、データストローブ信号）となるよう、内部クロック信号に同期して“0”レベル又は“1”レベルを出力する。

#### 【0034】

一方、レプリカ回路57は、内部クロック信号を遅延させ、フィードバッククロック信号として出力する。

#### 【0035】

データストローブ回路56から出力されたデータストローブ信号DQSは、セ

レクタ 11 を介して位相比較回路 58 の一方の入力に供給され、レプリカ回路 57 から出力されたフィードバッククロック信号は、位相比較回路 58 の他方の入力に供給される。位相比較回路 58 は、これら 2 つの信号の位相を比較し、その比較結果を出力する。ここで、位相比較回路 58 に入力されるデータストローブ信号 DQS とフィードバッククロック信号とは、共に内部クロック信号に基づいて生成されている。したがって、位相／遅延調整回路 53 がロックしていない状態であっても、その位相を比較すれば、このタイミング調整回路 10 のタイミングズレを検出することができる。

#### 【0036】

タイミング調整回路 10 における、外部クロック信号 CLK の入力タイミングと、内部クロック信号（内部出力クロック）、フィードバッククロック信号及びデータストローブ信号の各々の出力タイミングとの関係は、図 2 (a) 又は図 2 (b) のようになる。

#### 【0037】

図 2 (a) に示すように、フィードバッククロック信号がデータストローブ信号よりも進んでいる場合には、位相比較回路 58 は、比較結果として “L” レベルを出力する。また、図 2 (b) に示すように、フィードバッククロック信号がデータストローブ信号よりも遅れている場合には、位相比較回路 58 は、比較結果として “H” レベルを出力する。位相比較回路 58 からの出力は、位相／遅延調整回路 53 へ出力されるとともに、フィードバッククロック信号の位相の進み／遅れを示す位相進み遅れ信号として外部出力端子 12 へも出力される。

#### 【0038】

外部出力端子 12 にテスト装置を接続し、位相進み遅れ信号を検出してそのレベルを確認すれば、データストローブ信号に対するフィードバック信号の進み／遅れを確認することができる。この場合、検出すべき信号が 1 つなので、テスト装置のピン間スキーは、検出結果に何の影響も与えない。

#### 【0039】

テスト装置で確認した位相進み遅れ信号が “L” レベルであれば、レプリカ回路 57 の遅延を増やしてフィードバッククロック信号をさらに遅らせる。また、

位相進み遅れ信号が“H”レベルであれば、レプリカ回路57の遅延を減らして、フィードバッククロック信号を早める。こうして、レプリカ回路57の遅延を調整し、位相進み遅れ信号のレベルが“L”と“H”との間で不安定に変動する状態を実現する。この状態で、フィードバッククロック信号の位相がデータストローブ信号の位相に一致したとみなすことができる。

#### 【0040】

この後、セレクタ11を外部クロック信号CLK側に切り替えれば、データ出力回路55の出力の位相が、外部クロック信号の位相に一致するように、位相／遅延調整回路の遅延がフィードバック制御される。

#### 【0041】

以上のように、本実施の形態に係るタイミング調整回路では、レプリカ回路57、位相比較回路58及びセレクタ11の組み合わせを、位相進み遅れ信号生成回路として動作させることにより、テスト装置の精度に無関係にタイミングずれを検出することが出来る。つまり、このタイミング調整回路では、テスト装置のピン間スキーの影響を受けることなくタイミングずれを検出することができ、500ps以下のタイミングずれを除去する（減少させる）ことができる。そして、これによって、500MHz以上のクロックで動作する半導体装置を実現することができる。

#### 【0042】

なお、上記実施の形態では、データストローブ出力回路56から出力されるデータストローブ信号を用いる場合について説明したが、データストローブ出力回路56が存在しない場合には、データ出力回路55から“0”及び“1”を交互に繰り返し出力させて、それを利用するようすればよい。

#### 【0043】

次に、図3を参照して、本発明の第2の実施の形態について説明する。

#### 【0044】

図3のタイミング調整回路30は、図6の構成に加えて、データ入力回路66と同一構成のレプリカ回路31を有している。

#### 【0045】

レプリカ回路31は、初段回路32及びラッチ回路33を含み、外部クロック信号入力端子61と外部出力端子34との間に接続されている。また、ラッチ回路33は、クロックドライバ64に接続されている。

#### 【0046】

図3のタイミング調整回路30の外部クロック入力端子61に外部クロック信号CLKが入力されると、その外部クロック信号CLKは、クロック入力回路62及びレプリカ回路31に供給される。

#### 【0047】

クロック入力回路62は、外部クロック信号CLKを受けると、それを入力クロック信号として遅延調整回路63へ出力する。遅延調整回路63は、入力クロック信号CLKを遅延させ、遅延入力クロック信号としてクロックドライバ64へ出力する。クロックドライバ64は、遅延入力クロック信号を受けて内部クロック信号を生成する。なお、内部クロック信号は、データ入力回路66へ出力されるので、内部入力クロックとも呼ばれる。

#### 【0048】

レプリカ回路31では、外部クロック信号CLKを受けた初段回路が、それを参照クロック信号としてラッチ回路33へ出力する。ラッチ回路33は、クロックドライバ64からの内部クロック信号に同期して、初段回路32からの参照クロック信号をラッチし、外部出力端子34へ位相進み遅れ信号として出力する。

#### 【0049】

図4 (a) 及び (b) に、タイミング調整回路30における、外部クロック信号の入力タイミングと、内部クロック信号（内部入力クロック）及び参照クロック信号の各々の出力タイミングとの関係を示す。

#### 【0050】

図4 (a) に示すように、内部クロック信号が参照クロック信号よりも進んでいる場合には、ラッチ回路33からの出力、即ち位相進み遅れ信号、は“L”レベルとなる。一方、内部クロック信号が参照クロック信号よりも遅れている場合には、ラッチ回路33からの出力、即ち位相進み遅れ信号、は“H”レベルとなる。これにより、外部出力端子34にテスト装置を接続して位相進み遅れ信号を

検出し、そのレベルを確認すれば、内部クロック信号が参照クロック信号に対して進んでいるのか遅れているのかを検出することができる。

#### 【0051】

第1の実施の形態と同様、位相進み遅れ信号のレベルを見ながら、遅延調整回路63の遅延を調整し、位相進み遅れ信号が不安定に“H”レベルと“L”レベルとの間で変化する状態とすれば、内部クロック信号の位相が参照クロック信号の位相に一致したとみなせる。その結果、データ入力回路66からデータ信号と、外部クロック信号との位相差を所定の値とすることができる。

#### 【0052】

以上のように、本実施の形態に係るタイミング調整回路では、レプリカ回路31を位相進み遅れ信号生成回路として動作させるようにしたことで、テスト装置の精度によらず、タイミングずれを除去することができる。つまり、このタイミング調整回路では、テスト装置のピン間スキーの影響を受けることなく、タイミングずれを検出することができるので、500ps以下のタイミングずれを除去することが可能となる。そして、これにより、500MHz以上のクロックで動作する半導体装置を実現できる。

#### 【0053】

なお、上記第1及び第2の実施の形態では、共に外部クロック信号の立ち上がりエッジを利用して内部クロックを生成する場合について説明したが、外部クロック信号の立ち下がりエッジを利用して内部クロックを生成する場合にも、本発明のタイミング調整回路を用いることができる。もちろん、DDRと呼ばれるSDRAMのように、外部クロック信号の立ち上がりエッジ及び立ち下がりエッジの両方を利用する半導体装置のインターフェースについても、それぞれのエッジに対応させて本発明のタイミング調整回路を用いることが可能である。

#### 【0054】

##### 【発明の効果】

本発明によれば、タイミング調整回路内に位相進み遅れ信号生成回路を設けたことで、テスト装置のピン間スキーの影響を受けることなく高精度にタイミングずれを除去することができ、より高速動作が可能な半導体装置を提供すること

ができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るタイミング調整回路を備えた半導体装置のブロック図である。

【図2】

図1のタイミング調整回路における各信号のタイミングチャートである。

【図3】

本発明の第2の実施の形態に係るタイミング調整回路を備えた半導体装置のブロック図である。

【図4】

図2のタイミング調整回路における各信号のタイミングチャートである。

【図5】

従来のタイミング調整回路を備えた半導体装置のブロック図である。

【図6】

従来の他のタイミング調整回路を備えた半導体装置のブロック図である。

【符号の説明】

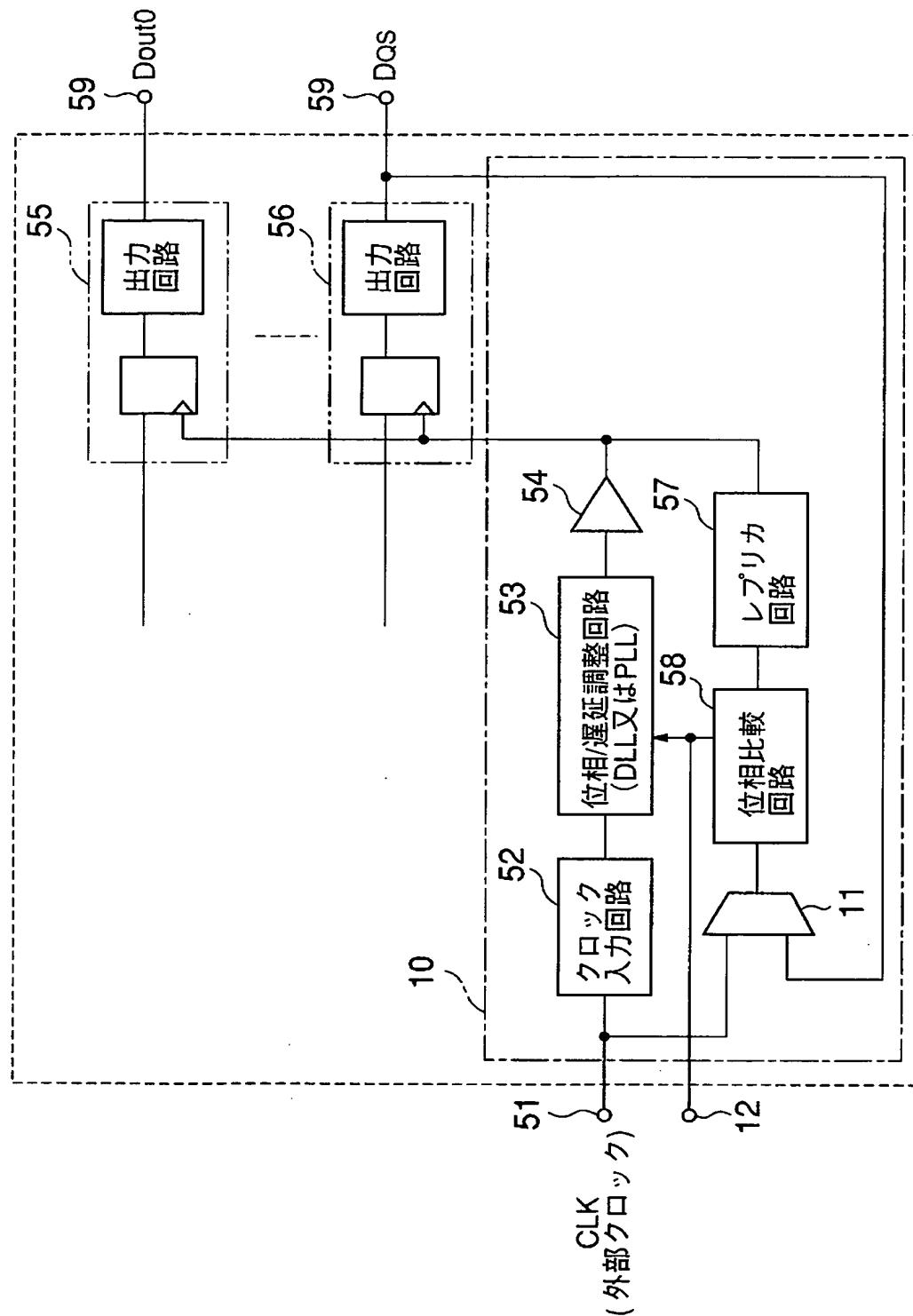
- |     |            |
|-----|------------|
| 1 0 | タイミング調整回路  |
| 1 1 | セレクタ       |
| 1 2 | 外部出力端子     |
| 3 0 | タイミング調整回路  |
| 3 1 | レプリカ回路     |
| 3 2 | 初段回路       |
| 3 3 | ラッチ回路      |
| 3 4 | 外部出力端子     |
| 5 0 | タイミング調整回路  |
| 5 1 | 外部クロック入力端子 |
| 5 2 | クロック入力回路   |
| 5 3 | 位相／遅延調整回路  |

- 5 4 クロックドライバ
- 5 5 データ出力回路
- 5 6 データストローブ出力回路
- 5 7 レプリカ回路
- 5 8 位相比較回路
- 5 9 データ出力端子
- 6 0 タイミング調整回路
- 6 1 外部クロック入力端子
- 6 2 クロック入力回路
- 6 3 遅延調整回路
- 6 4 クロックドライバ
- 6 5 データ入力端子
- 6 6 データ入力回路

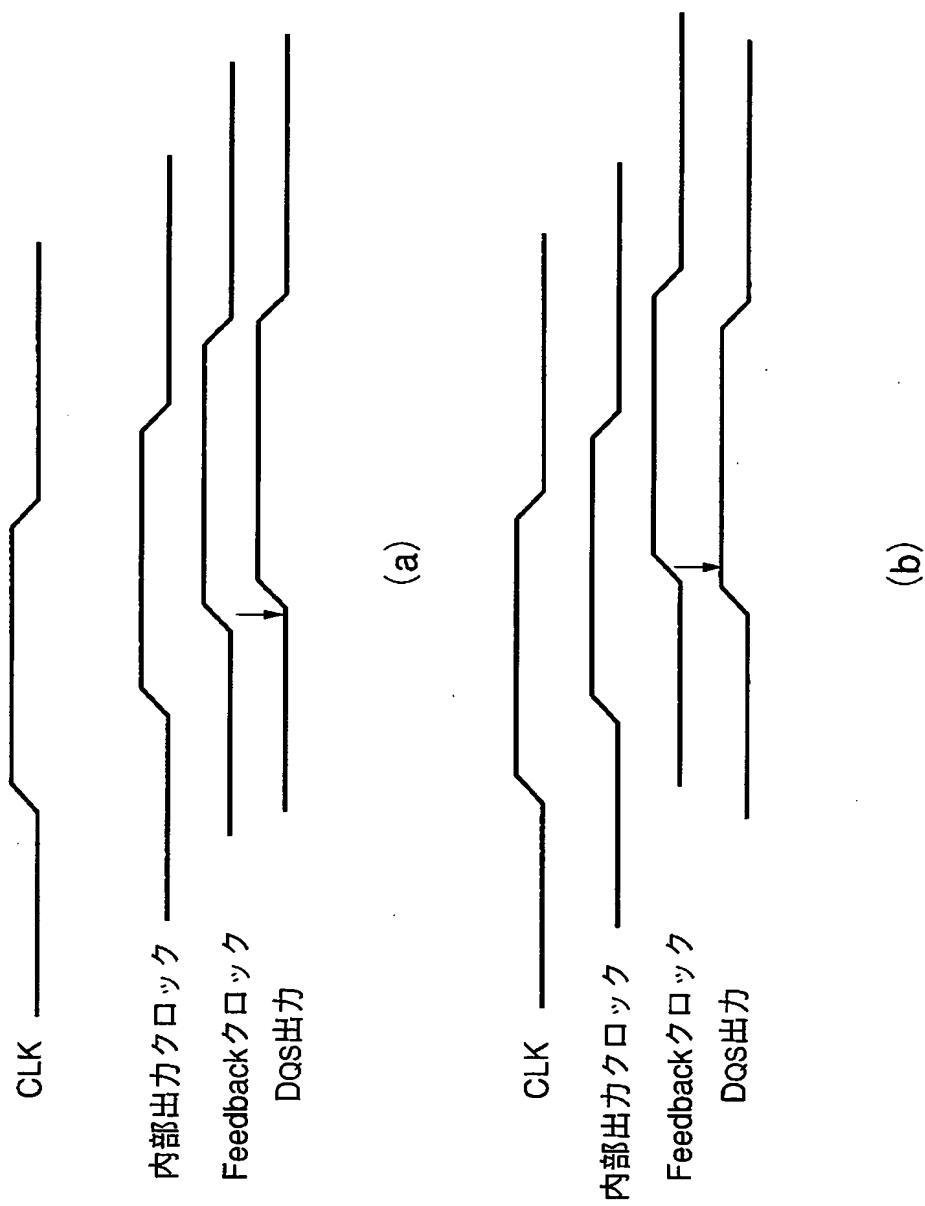
【書類名】

図面

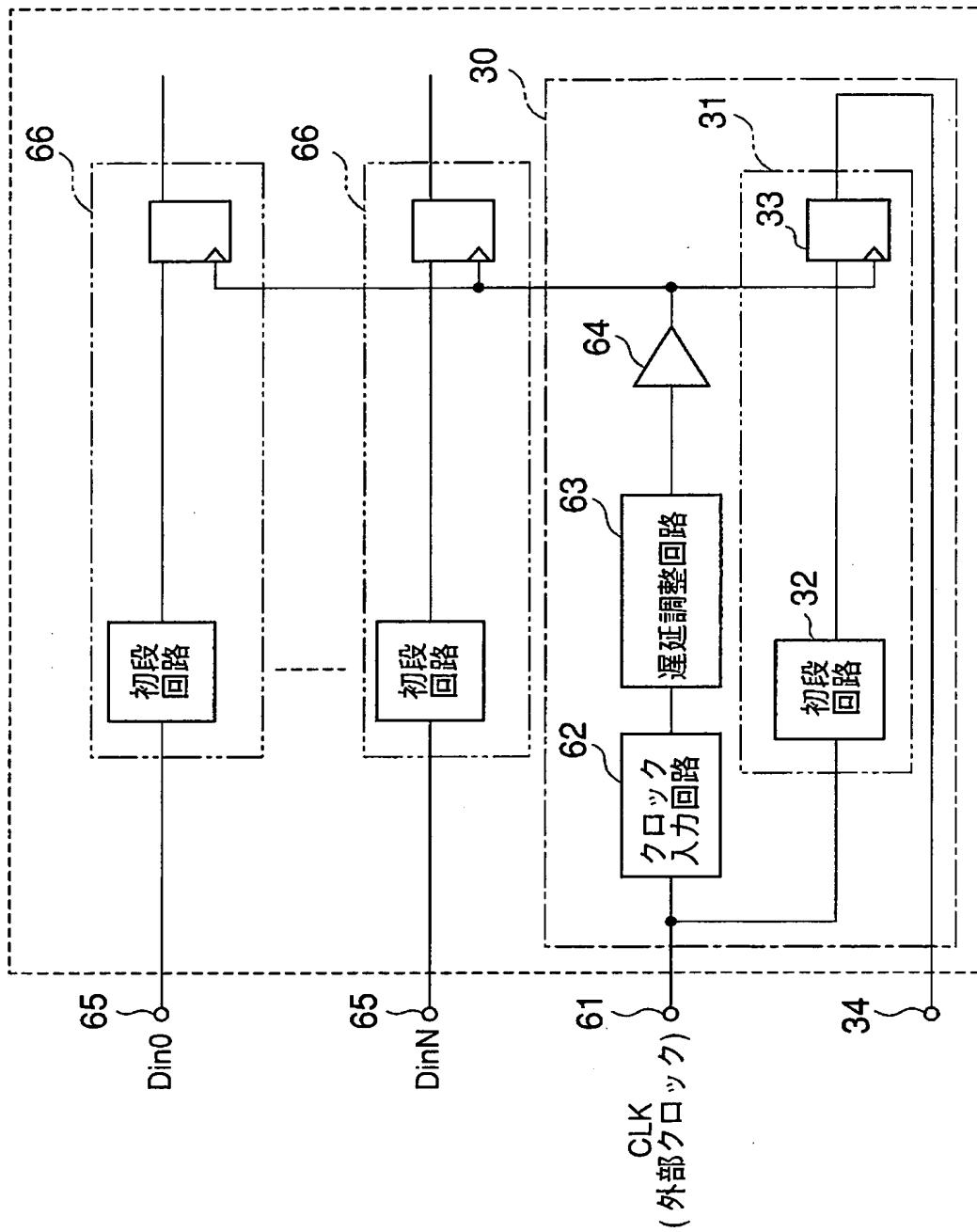
【図 1】



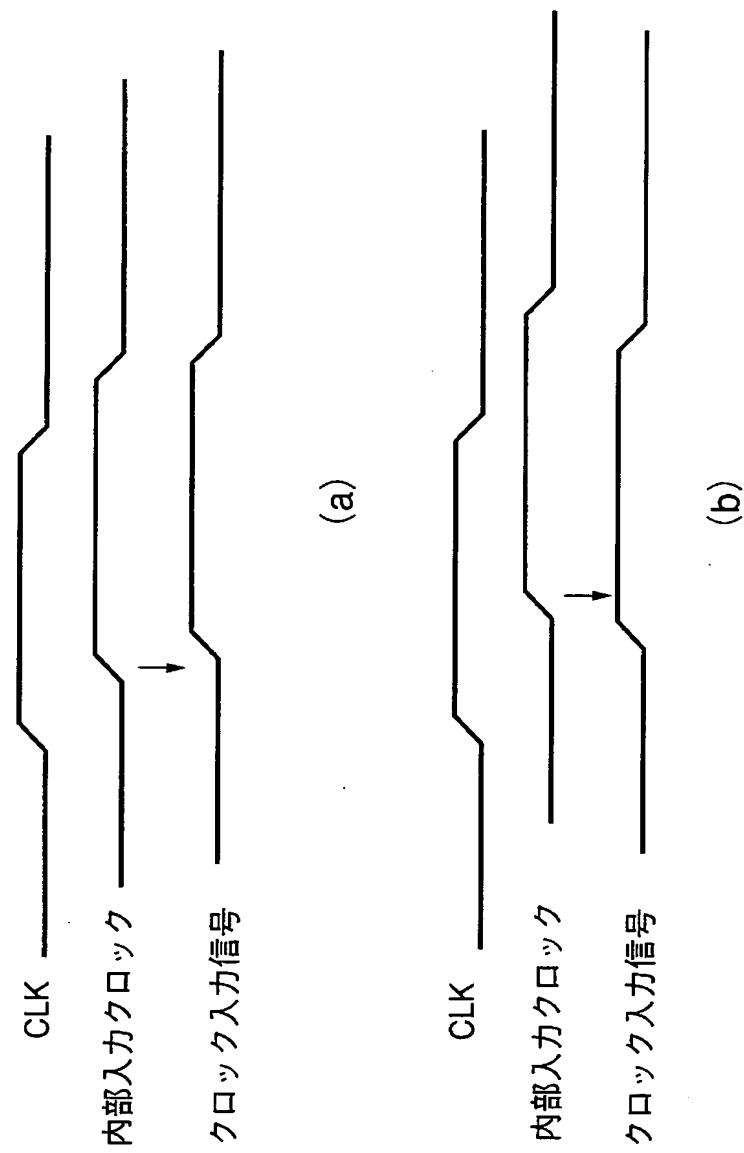
【図2】



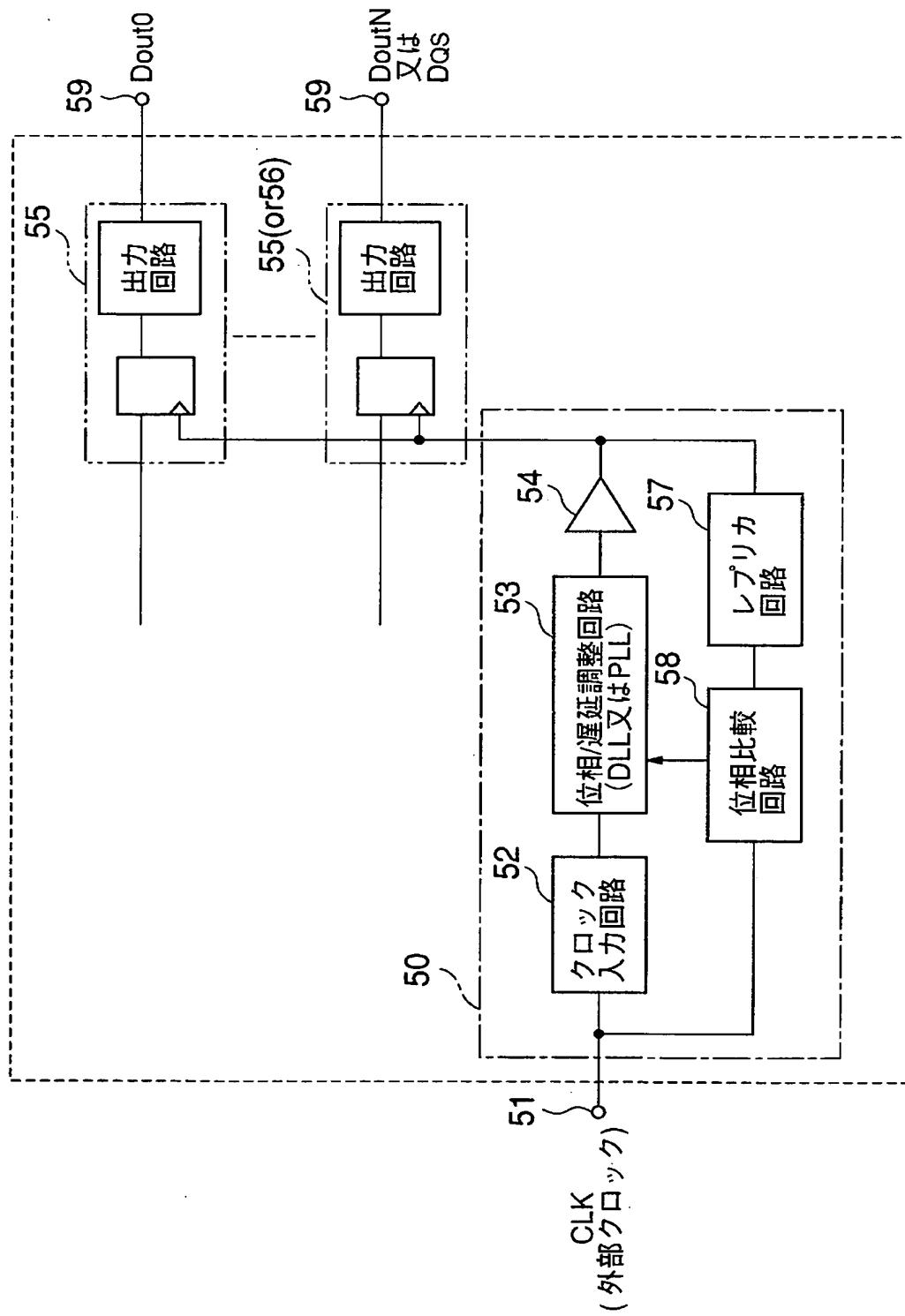
【図3】



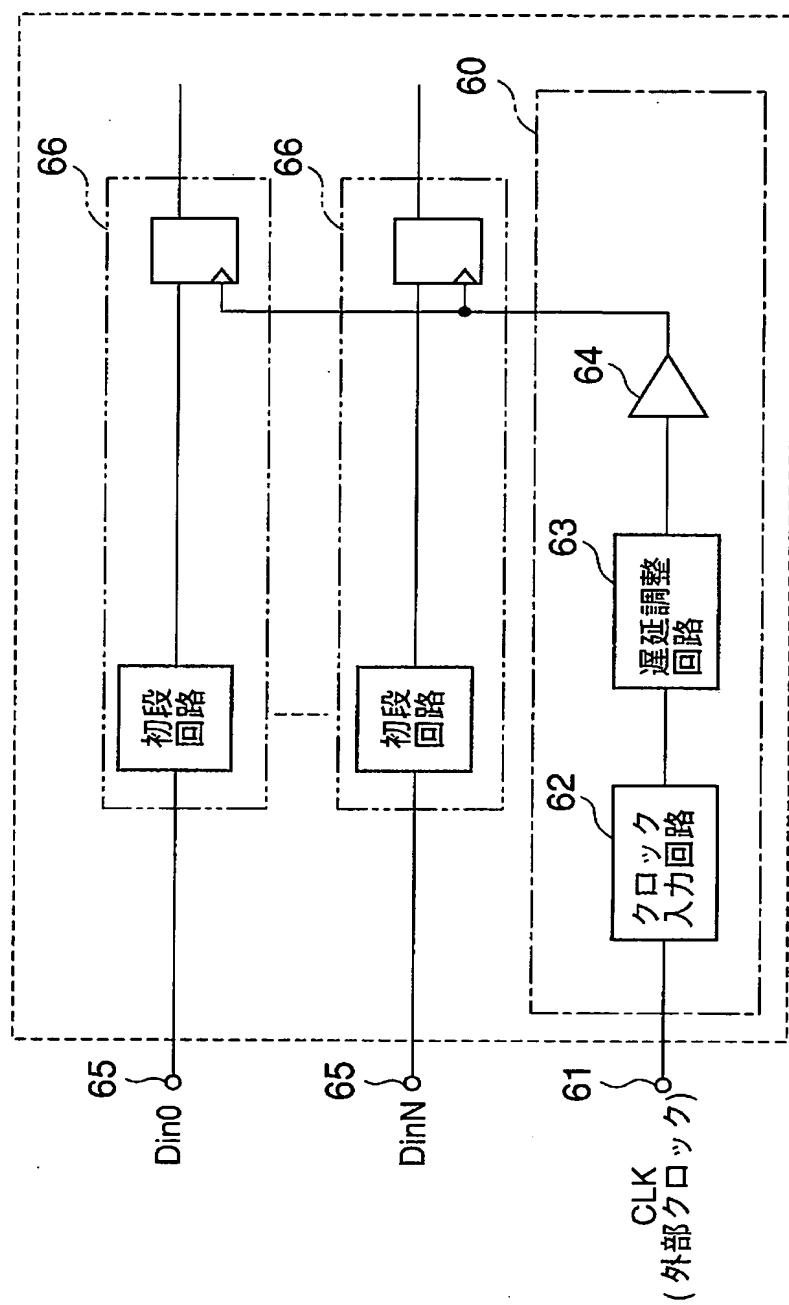
【図 4】



【図5】



【図 6】



【書類名】 要約書

【要約】

【課題】 テスト装置のピン間スキューによる制限を受けること無く、高い精度でタイミングずれを除去することができるタイミング調整回路を提供する。

【解決手段】 クロックドライバ 54 から出力される内部クロック信号の位相と、内部クロック信号によって駆動されるデータストローブ出力回路 56 からのデータストローブ信号の位相とを比較するために、位相比較器 58 に入力される外部クロック信号 CLK に代えてデータストローブ信号 DQS を供給するためのセレクタ 11 を設ける。セレクタ 11 がデータストローブ信号 DQS を選択している間、セレクタ 11 と、レプリカ回路 57 及び位相比較回路 58 は、位相進み遅れ信号生成回路として動作し、タイミングずれを表す位相進み遅れ信号を外部出力端子 12 へ出力する。

【選択図】 図 1

特願 2002-311231

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1  
氏 名 エルピーダメモリ株式会社